

THOMSON  
DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

[Log Out](#) [Work Files](#) [Saved Searches](#)
[My Account](#) | [Products](#)

 Search: [Quick/Number](#) [Boolean](#) [Advanced](#) [Derwent](#)
[Help](#)

## The Delphion Integrated View

 Buy Now: ☒ PDF | [More choices...](#)

 Tools: Add to Work File: [Create new Work File](#) ☐ 

 View: [INPADOC](#) | Jump to: [Top](#) ☐

 Go to: [Derwent](#)
☐ [Email this to a friend](#)

### ☐ Title: **JP6082517A2: SWITCHABLE VOLTAGE-GENERATION CIRCUIT**

☐ Derwent Switchable voltage generator for electrical stress testing  
 Title: of IC devices - has input supply with regulator connected to selective pull up circuit with mode select receiver controlling pull up with latch [[Derwent Record](#)]

☐ Country: **JP** Japan

☐ Kind: **A** (See also: [JP2549236B2](#) )

☐ Inventor: **CHAN YUEN H;**  
**PELELLA ANTHONY R;**  
**REOHR WILLIAM R;**

☐ Assignee: **INTERNATL BUSINESS MACH CORP <IBM>**  
[News, Profiles, Stocks and More about this company](#)

☐ Published / **1994-03-22** / 1993-02-12  
 Filed:

☐ Application **JP1993000023935**  
 Number:

☐ IPC Code: **G01R 31/26; H01L 21/326; H01L 27/04;**

☐ Priority 1992-04-09 **US1992000865591**  
 Number:

☐ Abstract: **PURPOSE:** To obtain an on-chip voltage adjusting device generating burn-in voltage from power supply voltage by providing a switchable voltage generation circuit on a chip along with a transistor circuit optimized so as to be operated by different voltage.

**CONSTITUTION:** The transistor 150 of the bipolar circuit on a chip is optimized so as to be operated by voltage Vcc. CMOSFET 140 is optimized so as to be operated by voltage Vs. A switchable voltage generator 210 forms voltage



High  
Resolution

Vs corresponding to the input signal corresponding to the mode selection signal input 230 from a receiver 220. If the voltage Vs is pulled up to the vicinity of Vcc, the voltage Vs is formed from the voltage Vcc in both cases of usual voltage and burn-in voltage by a single voltage generator 210. Since this circuit can be accessed on the chip even after final assembling, a test under an electric stress condition can be performed during both of a system level test and a wafer level test.

COPYRIGHT: (C)1994,JPO

☐INPADOC None

**Buy Now:** [Family Legal Status Report](#)

Legal Status:

☐Designated DE FR GB

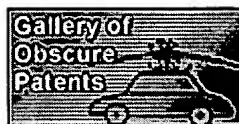
Country:

☐Family: [Show 5 known family members](#)

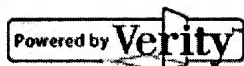
☐Other DERABS G93-322395

Abstract

Info:



[Nominate](#)



[this for the Gallery...](#)

© 1997-2004 Thomson

[Research Subscriptions](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-82517

(43) 公開日 平成6年(1994)3月22日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/26	H	9214-2G		
H 0 1 L 21/326		8617-4M		
27/04	M	8427-4M		

審査請求 有 請求項の数 5 (全 10 頁)

(21) 出願番号 特願平5-23935

(22) 出願日 平成5年(1993)2月12日

(31) 優先権主張番号 865591

(32) 優先日 1992年4月9日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ユエン・フン・チャン

アメリカ合衆国12603、ニューヨーク州ボーキープシー、ハイ・エイカーズ・ドライブ 35

(74) 代理人 弁理士 頓宮 孝一 (外4名)

最終頁に続く

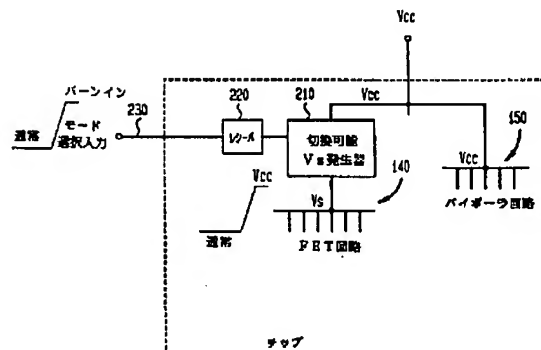
(54) 【発明の名称】 切換可能電圧発生回路

(57) 【要約】

【目的】 異なる種類のトランジスタを含む集積回路デバイスの電気応力試験のための、最適な動作電圧を発生させるためのオンチップ電圧調整器を提供すること。

【構成】 本発明による切換可能電圧発生回路 (210) は入力電圧供給端子 (Vcc)、入力電圧供給端子に接続された入力と出力 (Vs) とを有する電圧調整器、および前記電圧調整器の入力と出力を接続するためのプルアップ手段 (P1/P2; Q1/Q2) を備える。

【効果】 チップ上に電圧発生器を設けるので、低電圧の専用接続が不要になる。



1

## 【特許請求の範囲】

【請求項1】入力電圧供給端子と、  
前記入力電圧供給端子に接続された入力と、出力とを有する電圧調整器と、  
前記電圧調整器の前記入力および前記出力を選択的に接続するための制御可能なプルアップ手段とを備えることを特徴とする、切換可能電圧発生回路。

【請求項2】さらに、前記プルアップ手段に接続され、前記プルアップ手段を制御する出力を有する、モード選択レシーバを備えることを特徴とする、請求項1に記載の切換可能電圧発生回路。

【請求項3】電圧源に接続されたコレクタ端子を有する少なくとも1つのエミッタ結合調整器トランジスタと、前記少なくとも1つのエミッタ結合調整器トランジスタのベース端子に接続されたバイアス回路手段と、前記少なくとも1つの調整器トランジスタのエミッタ端子に接続された電流源手段と、前記少なくとも1つの調整器トランジスタを選択的にバイアスするための選択的に制御可能なプルアップ手段とを備えることを特徴とする、切換可能電圧発生回路。

【請求項4】前記プルアップ手段がパス・ゲートを備えることを特徴とする、請求項3に記載の切換可能電圧発生回路。

【請求項5】前記プルアップ手段が電圧調整器回路を備えることを特徴とする、請求項3に記載の切換可能電圧発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、全般的には集積回路デバイスの設計および製造に関し、より詳細には集積回路デバイス、特に異なる種類のトランジスタを含む集積回路デバイスの電気応力試験に関する。

## 【0002】

【従来の技術】使用中の熱応力および電気応力による電気素子の電気的特性の変化はよく認識されている。特に半導体デバイスを使用するある種の応用例では、使用前に十分な時間デバイスを動作させて、デバイスまたは素子の電気的特性を安定させておくことが一般的慣行になっている。高い温度または高い動作電圧、あるいはその両方という悪条件のもとでデバイスまたは素子を動作させると、このプロセスがしばしば加速できる。このような操作を一般に、バーンインと呼ぶ。

【0003】特に半導体デバイスおよび集積回路においては、機側操作中に予期しない故障を引き起こす可能性がある導体の不適切な形成などの潜在欠陥が、バーンイン中に故障として出現することが多いので、バーンインは特に有用である。また、デバイスの諸部分に不純物をあらかじめ分散しておいたとすると、それがさらに拡散した場合、劣悪な熱条件または電気条件のもとで再分散されて、電気特性を劇的に変化させたり、デバイスの故

2

障を引き起こすことがある。

【0004】この後者の問題は、集積回路デバイスにおけるトランジスタの小型化が進むにつれて、きわめて重要になってきている。チャネル長が1ミクロンより短くなっている電界効果トランジスタ(FET)では特にそうである。しかし、技術の進歩によって集積回路の個々の素子の小型化が進むにつれ、そのような素子が最適に動作する電気的条件がますます重要になってきている。バーンイン操作でもそうである。たとえば、バイポーラ・トランジスタとCMOSトランジスタの両方を備えた集積回路では、バイポーラ・トランジスタは3.6Vで動作するように最適化されていることが多く、一方、一般にそのようなバイポーラ・デバイスと同じチップ上に集積されるCMOS FETは、チャネル長やゲート酸化物の厚さなどの制限により2.5Vで動作するように最適化されている。同様に、ブレイクダウンの問題により、2つの技術(たとえば、バイポーラとCMOS)間の最適バーンイン電圧が異なる。たとえば、バーンイン中、バイポーラ・デバイスは、最適動作電圧の最大1.1倍の電気応力を加えることが好ましいが、CMOSには、最適動作電圧の最大1.5倍の応力を加えることが好ましい。この違いは、少なくとも一部は、2つのデバイス間の導通現象の違いによるものである。なぜならバイポーラ・デバイスでは接合部で導通が行われるが、FETではそうでなく、接合部のないチャネル内の空乏領域の広がりによって導通が制御される。

【0005】バーンインは事実上、きわめて小型のトランジスタを有する集積回路の製造において、受け入れられる信頼性レベルを確保するための必須条件になっている。したがって、そのようなバーンイン操作および試験操作を行うための配置構成が、そのような集積回路の設計の一部となっている。しかし、現在までのところ、そのような配置構成のおかげで、少なくともコストまたは時間がかかり、あるいは組立後は使用可能でなくなる実質構造をデバイスと一体的に組み立てることを必要とする一定の条件が、デバイス設計プロセスまたは製造プロセスに課される。たとえば、米国特許第5030908号では、電子ビームを使用して集積回路の所定の領域を帯電させ、経時的に放電を観測することにより、デバイスの電気的特性を決定している。米国特許第4821238号は、オンチップ・テスト・パターン・ジェネレータを提供する方法を教示している。米国特許第4855672号は、複数の集積回路をリールに巻き、熱応力を加えながら同時にテストできる、テープの形の連続リード・フレーム構造と組み合わせて使用可能なオンチップ・テスト回路を提供する方法を開示している。米国特許第4967146号は、接点のバーンインおよび位置決めが容易になるようにウェーハ上にグループを設け、テスト後、ウェーハを個々のチップに分解する方法を教示している。

【0006】別の手法では、後では使用しない別のバーンイン電源リード線を使用している。この手法では、集積回路もしくは集積回路を保持するモジュール内の追加の電力面と、正常な動作中に浮動する（同一の電源から2つの正常動作電圧がチップ上で供給されている場合）ピン、あるいはV<sub>cc</sub>電力面に連結されている（オンチップ電圧変換が行われない場合）ピンが必要である。それには、集積回路が使用される物理環境および電気環境と、集積回路デバイス内の重要な追加の構造自体をある程度修正する必要がある。米国特許第4336495号は、正常動作電圧と反対の極性の電圧など、デバイスの正常動作範囲外の電圧の印加が必要なテストのために、オンチップ切換えを行うことにより、追加のモジュール・ピンを設けなくて済む方法を教示している。しかし、このような手法は、回路に電気応力を加える際にも、集積回路の選択されたトランジスタに特定のバーンイン供給電圧を選択的に供給する際にも、適用できない。同様に、米国特許第4625129号は、別のバーンイン電源電圧を供給する際に同様に印加できない電力を集積回路の選択された部分から取り除くためのオンチップ電源切換えを教示している。米国特許第4944688号は、固定基準電圧発生回路の設計について非常に詳細な記載を示しており、電圧発生回路が切換え不能でバーンイン電圧発生機能を備えていない場合でも、大規模集積回路に電力を供給する際に起こる問題の典型例を示している。V<sub>i</sub>回路によって電力を供給されるメモリ・セル・アレイ間でのV<sub>i</sub>回路の分布が上記特許の図4に示されている。この方法では、全体的電力消費量が増し、追加のチップ・スペースが必要になる。

【0007】バイポーラ・エミッタ結合論理（ECL）回路のバーンイン操作を行うためのBiCMOS論理変換器が、IBM Technical Disclosure Bulletin, Vol. 33 No. 10B (1991年3月)で教示されている。この回路の目的は、バーンイン操作条件のもとでV<sub>DD</sub>が上がったときにバイポーラECL回路を動作可能にすることである。この回路では、電界効果トランジスタを使用して、基準電圧源から入力を受ける増幅器回路の負荷抵抗を変更している。負荷抵抗の変化により、増幅器の利得が大きくなり、出力電圧振幅が上がる。

【0008】

【発明が解決しようとする課題】本発明の目的は、ある技術によるトランジスタに最適な動作電圧を、やはりチップ上に集積された別の技術のトランジスタに供給される電源電圧から発生させるためのオンチップ電圧調整器を提供することである。

【0009】本発明の別の目的は、他の回路と共にチップ上に集積され、そのような他の回路に電気応力を加えるために1つまたは複数の選択された電圧を提供する、1つまたは複数の切換可能電圧調整器を提供することである。

【0010】本発明の別の目的は、チップ上の少なくとも一部のトランジスタに最適な動作電圧、または集積回路デバイスに印加される未調整電圧のいずれかを選択的に供給するための、切換可能オンチップ電圧調整器を提供することである。

【0011】

【課題を解決するための手段】本発明の上記その他の目的を達成するため、入力電圧供給端子、入力電圧供給端子に接続された入力と出力とを有する電圧調整器、および前記電圧調整器の入力と出力とを接続するためのブルアップ手段を備えた、切換可能電圧発生回路が提供される。

【0012】本発明の別の態様では、電圧発生回路および集積回路の少なくとも1つの部分に所定の電圧を印加する段階と、電圧発生回路をバイパスする段階とを含む、前記集積回路の様々な部分に少なくとも2つの電圧のうちの1つを供給するための電圧発生回路を備える集積回路に電気応力を加える方法が提供される。

【0013】本発明の別の態様では、電圧源に接続されたコレクタ端子を有する少なくとも1つのエミッタ結合調整器トランジスタと、エミッタ結合調整器トランジスタのベース端子に接続されたバイアス回路と、調整器トランジスタのエミッタ端子に接続された電流源と、調整器トランジスタを選択的にバイパスするため選択的に制御可能なブルアップ手段とを備えた、切換可能電圧源が提供される。

【0014】

【実施例】図面、特に図1を参照すると、本発明によって改良されるバーンイン機構の概略図が示されている。このバーンイン機構は、本発明にとって従来の技術であると認められるものではないが、本発明と対照し、本発明を理解しやすくするためにここで説明する。BiFETチップ100を有する例示的な集積回路デバイス110が、モジュール130に含まれているキャリア120上に取り付けられて示されている。これは現時点で一般的な構造であるが、これらの素子がすべて本発明の環境で存在する必要があるわけではないことを理解されたい。

【0015】実際に重要なのは、チップ100と集積回路デバイス110の接続ピンの間に、接続105で示すリード・フレームが必要なことである。集積回路デバイス110とキャリア120の間には、別の接続115（通常はいわゆる被制御崩壊可能チップ・コネクタで、一般にC4パッドと呼ばれる。これは、接続時に所定の態様で寸法を変えるプリフォームを備えている）が必要である。同様に、キャリア120またはモジュール130はさらに、接続125で象徴的に示す接続をも備える。電気装置との接続を135に示す。バイポーラ回路150のための電源接続V<sub>cc</sub>およびFET回路140のための電源接続V<sub>s</sub>は概略的にしか示していないことに

5

も留意されたい。チップおよびモジュール接続の断面積が小さいため、各電源接続は、チップの回路の様々な部分に十分な電流を伝えるようになり増加される。必要な各電圧ごとに、しばしばそのような接続が100本も設けられる。VccおよびVsに別々の接続を設ける場合、これらの接続105、115、125、135がそれに応じてさらに増加するため、独立した電源を設ける必要がある。多数の商用デバイスでは、接続125は、電力面と呼ばれるモジュールの独立した層として形成されるので、このことは特に重要である。したがって、Vs用の第2の電力面を形成するには、別の絶縁体層と導体層の対も必要となるので、デバイスが複雑になりそのコストが増大する。

【0016】次に図2を参照すると、本発明による構成が示されている。チップ自体だけを破線で示してある。他の接続は図1のVcc接続と同様である。したがって、本発明は広義には、好ましくは出力段としてレジスタまたはラッチを備えたレシーバ220からの入力信号に応じてVsを生成する、切替可能電圧変換器を含んでいる。このレシーバの詳細は本発明の実施にとって重要ではないが、レシーバは、前掲の米国特許第4336495号のような配置構成を備え、モード選択信号入力230を搬送する追加のピンなしで済ませることが好ましい。しかし、モード選択信号入力230は、この場合は信号リード線であり、より大きな電流を搬送するために増加する必要はないことに留意されたい。したがって、別のピンまたは端子を設けてモード選択信号を搬送する場合でも、かなりの数の接続が節約されることになる。また、モード選択信号のラッチングはチップ・レベルではなくモジュール・レベルで行うことができ、チップからモジュールへの独立した接続を設けても、モジュール上の専用ピンが必要ないことを暗示するものではないことも理解されたい。

【0017】上述のように、本発明をきわめて容易に適用できかつ利点の多いバイポーラ回路のトランジスタは、Vcc=3.6Vで動作するように最適化され、CMOS FETはVs=2.5Vで、またはVcc=5.0VおよびVs=3.3~3.4Vという、より一般的な業界標準などとはほぼ同じ比率の他の動作電圧で動作するように最適化される。前に述べたバーンイン電圧乗数（バイポーラで1.1倍、CMOSで1.5倍）をこれらの正常動作電圧に適用すると、それぞれ3.96Vおよび\*

$$V_s = \frac{R_2}{R_1 + R_2} V_{cc} + \frac{(2R_1 - R_2)}{R_1 + R_2} V_{be}$$

【0020】ここで、VbeはNPNトランジスタの接合電圧、つまり約0.8Vである。R1およびR2を調整して、Vsの大きさを様々に変え、各種の回路およびデバイスの必要条件を満たすことができる。

【0021】2つ以上のPMOSTランジスタP1、P

6

\*3. 75Vのバーンイン電圧が得られ、差はわずか0.21Vである（上述の業界標準の場合、電圧はVcc（バーンイン）=5.5V、Vs（バーンイン）=4.95~5.1Vであり、差は約0.4~0.5Vになる）。したがって、バーンイン電圧をVccとして印加し、VsをVccの近くまでプルアップできるならば、単一の電圧変換器210で、通常電圧およびバーンイン電圧のいずれの場合でもVccからVsを生成できることが理解されよう。Vccを調整する場合、電圧差はVccの5%をわずかに上回るだけであり（上述の業界標準電圧値の場合は約10%）、それ以上の調整は通常必要でない。その上、VsがVccを超えることはあり得ず、5~10%の差は、Vsを直接Vccに接続する場合でも、CMOS FET回路140の損傷あるいは破壊を引き起すほど大きなものではない。

【0018】次に図3を参照して、本発明がこれらの基準をどのように満たすかについて説明する。通常動作では、NPNトランジスタT1~T5は単純な電圧調整器回路を形成する。トランジスタT1、T2、T3は、ダイオード接続されかつ直列配置されているため、温度が補償される。そのようなダイオード接続バイポーラ・トランジスタの数を増減して、所望の程度の補償を得ることができる。また、ダイオード接続トランジスタと直列のR1およびR2は、分圧器を形成し、並列に接続された調整器トランジスタT4およびT5のベースに印加される電圧を確立する。この場合も、並列トランジスタの数を増減して、Vsを受け取る回路が必要とする期待される電流を搬送することができる。N FET N1は、並列エミッタ・フォロワ接続調整器トランジスタT4およびT5のエミッタと、大地または他の基準電圧との間に接続される。通常動作中、高レベルのモード選択信号MSELが、レシーバ220から発生され、N1を導通状態にする。したがって、N1はエミッタ・フォロワ調整器トランジスタ用のプルダウン電流源として働き、通常動作中Vs出力を安定化する。抵抗プルダウンや別の適切な形の電流源プルダウンなど他の形のエミッタ・フォロワ・プルダウンを使用して同一の機能を実施することもできる。

【0019】図3に示す回路状況から、通常動作用の補償されたVs出力電圧すなわち調整されたVs出力電圧は次式で記述できる。

【数1】

$$V_s = \frac{R_2}{R_1 + R_2} V_{cc} + \frac{(2R_1 - R_2)}{R_1 + R_2} V_{be}$$

2が、調整器トランジスタT4およびT5と並列に設けられている。バーンイン操作中、MSELは低レベルであり、並列接続PMOSTランジスタP1とP2から形成されるバス・ゲートを導通状態にして、回路の調整器を効果的に分路し、VsをVcc近くまでプルする。低レ

7

ベルMSEL信号はまたN1をオフにし、N1とP1およびP2との直列接続による分圧器の形成を回避する。そうしないと、Vsのプルアップが減少することになる。

【0022】バス・ゲートに別の抵抗またはより低い抵抗を設けることによってVsバーンイン電圧を調整できることに留意されたい。P1およびP2に印加されるゲート電圧を下げるか、あるいはバス・ゲートのトランジスタの数を増減してバス・ゲートの抵抗を調整することができる。本発明の実施においては、Vccのバーンイン値とVsのバーンイン値の所望の差と、Vsを受け取る回路の期待される電流負荷とに従って、バス・ゲートのPMOSTランジスタの数とその最小抵抗を確立することが好ましいと思われる。

【0023】図3に関して説明した電圧調整器は、PMOSTランジスタを使用して、Vcc、または好ましくはバーンイン・モード操作のVcc(バーンイン)に対して相対的にVs電位を上げるが、異なる種類のプルアップ・デバイスも使用できる。チップ上の他の回路の組立に使用されるトランジスタ技術により、そのような置換が好ましいこともある。別のプルアップ構成の例として、図4は、並列接続したPNPトランジスタQ1およびQ2をプルアップに使用する、本発明による電圧調整器の第2の実施例を示している。図3の実施例と同様、そのようなプルアップ・トランジスタの数を増減して、必要な電流を供給することができる。回路構成の残りの部分は図3と同一であり、説明を繰り返す必要はない。

【0024】図4に示す本発明の実施例の場合、出力電圧Vsは次式で得られる。

$$V_s (\text{バーンイン}) = V_{cc} - V_{ces}$$

【0025】ここで、Vcesは、飽和状態でのPNPトランジスタのコレクタ・エミッタ間電圧(通常は0.1V未満)である。これによって、VsをVccに非常に近い値までプルアップすることが、バーンイン電圧がクリティカルな、またはCMOS回路上の電気応力の増大が望まれる、高度パイボラ技術に有用となる。

【0026】本発明の別の実施例を図5に示す。上述の\*

$$V_s (\text{バーンイン}) = \frac{R_o}{(R_4 + R_o)} (V_{cc} - V_{be})$$

【0028】したがって、分圧器の抵抗を適切に調整することにより、Vs(バーンイン)の所定の値は、回路設計者が任意に設定できる。

【0029】Vs(バーンイン)の調整は、本発明の範囲内で他の方法で行うこともできることに留意されたい。たとえば、図3の回路において、プルアップ・トランジスタP1およびP2を取り外し、それまでプルアップ・トランジスタに印加されていた制御電圧を受ける単一のトランジスタを使用して、R1の一部を分路させ、調整器トランジスタT4およびT5のバイアス電圧とし

8

\*ように、VsをVccのごく近くにプルし、Vccを他の方法で調整すると、Vs(バーンイン)の調整を不要にすることができる。しかし、図5の実施例は、調整が望まれるあるいは必要とされる場合、VsとVs(バーンイン)の両方の調整が可能である。たとえばVccまたはVcc(バーンイン)=5.0V、Vs=2.5V、Vs(バーンイン)=3.6Vなどのように、Vcc(バーンイン)とVs(バーンイン)との電圧差が大きい(たとえば、0.5Vを超える)場合は、そのような調整が特に望ましい。

【0027】図5の回路構成は、トランジスタT1~T5を備えた、図3に示したVs用調整器回路と同種のVs用調整器回路と、やはりプルダウン電流源N1として示したプルダウン構成を備えている。しかし、前例同様、他の電圧調整器構成も使用できることが理解されよう。図5の実施例による、調整Vs(バーンイン)電圧を供給するためのVsプルアップ回路も、調整器トランジスタT9およびT10をVs調整器トランジスタT4およびT5と並列接続した調整器回路を備えている。調整Vs(バーンイン)電圧を制御するためのバイアスは、R4およびRsを含む分圧器を介して生成される。温度補償は、当技術分野で周知の機構でダイオード接続トランジスタT8で行われ、図の温度補償構成は、本発明の範囲内で修正可能である。Vsプルアップ回路の切換えは、Rs、T6、およびT7を含む電流ミラー構成で行われる。Rsは、入力信号電流を制限するために設けられる。モード選択信号MSELが高論理レベルである通常動作では、抵抗R4を介してT9およびT10のベースに印加される電圧をT7が伝導しプルダウンすると、両方のトランジスタが非導通状態になる。しかし、MSELを低論理レベルにすると、T7がオフになり、T9およびT10のバイアスは、R4、Rs、およびダイオード接続トランジスタT8を含む温度補償分圧器で決定される。したがって、出力電圧Vs(バーンイン)は次式で与えられる。

【数2】

R<sub>o</sub>

$$(R_4 + R_o)$$

て異なるバイアス電圧を確立することができる。素子数が特にクリティカルであり、そのために回路の温度補償が無効になる可能性もある応用例では、この構成が特に好ましい。

【0030】本発明による複数のVs発生器を同一のチップ上に設けて、さまざまな技術に従ってチップ上に形成されたトランジスタの様々な電圧および電力要件を満たすことができる。回路が極端に単純であり素子数が少ないため、チップ上に占めるその面積が最小限になるので、チップ上に設けることのできる他の回路の量を大幅

に削減することなく、このような回路を複数設けることができる。

【0031】以上のことから、特に3.6Vで動作するように最適化されたバイポーラ・トランジスタと、2.5V、またはほぼ同じ比率を持つ他の所望の電圧で動作するように最適化されたCMOS FETの組合せで、正常動作中に大幅に変化する電圧の調整された電源を提供しながら、きわめて似たレベルの異なるバーンイン電圧をバーンイン・レベルまたは正常レベルのV<sub>cc</sub>電圧から供給することができる。調整電圧であれ非調整電圧であれ、所望の他の電圧値も提供できる。したがって、本発明は、特定の技術のトランジスタ用のバーンイン電圧を供給するきわめて良好な解決策を提供するばかりでなく、モジュールまたはチップへの電源接続の増加と、望むならば、MSEL信号用のチップ上の専用端子（たとえばC4パッド）を不要にするので、チップ面積と、デバイスまたはモジュール上の該当する専用ピンの数を減らすことができる。さらに、本発明による回路は、最終組立後でもチップ上でアクセスできるので、レシーバ220を設けると、システム・レベル・テスト中でもウェーハ・レベル・テスト中でも、電気応力の付与および電気応力条件でのテストを行うことができる。

【0032】

【発明の効果】切換可能電圧発生回路を、複数の異なる技術に従って形成され、異なる電圧で動作するように最適化されたトランジスタを備えた回路と共にチップ上に設ける。チップ上に電圧発生回路を設けると、低電圧用の専用接続が不要になる。異なる種類のトランジスタに類似のレベルのバーンイン電圧を供給するために、電圧発生回路の調整器の両端間にバイパスまたは分路を設け

る。オンチップ電圧発生回路により、チップ回路の様々な部分の電流要件を満たすために必要な、各供給電圧用のチップまたはモジュール電源接続を多数設ける必要がなくなる。モード選択レシーバを使用しても、チップに接続を追加する必要がなくなる。1つまたは複数の切換可能電圧発生回路とモード選択レシーバを組み合わせると、様々な製造段階で経済的かつ効率的な電気応力テストが可能になる。

【図面の簡単な説明】

【図1】従来のバーンイン機構の概略図である。

【図2】本発明によるバーンイン機構の概略図である。

【図3】本発明の第1の好ましい実施例の回路図である。

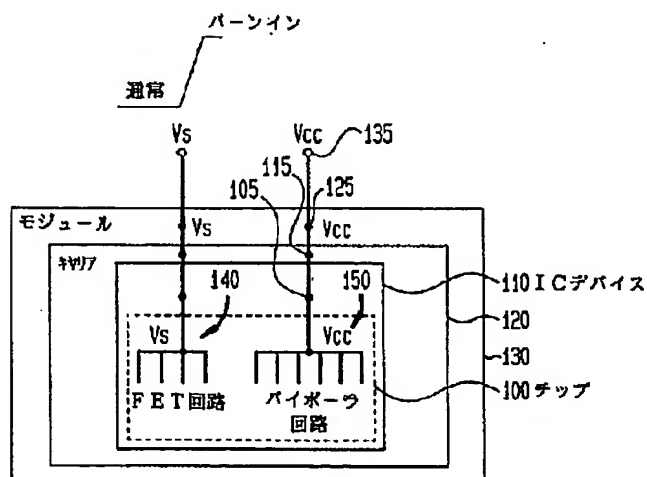
【図4】本発明の第2の好ましい実施例の回路図である。

【図5】本発明の第3の好ましい実施例の回路図である。

【符号の説明】

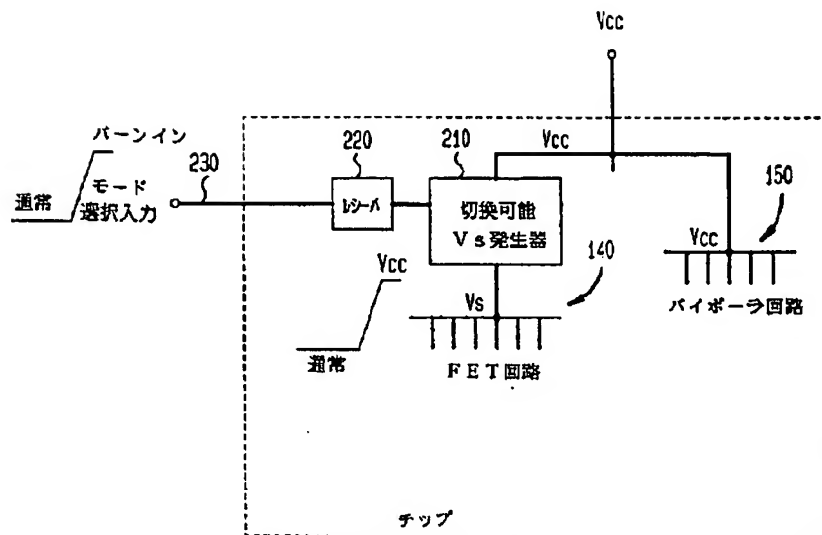
- 100 チップ
- 105 接続
- 110 集積回路デバイス
- 115 接続
- 120 キャリア
- 125 接続
- 130 モジュール
- 135 接続
- 210 切換可能V<sub>s</sub>発生器
- 220 レシーバ
- 230 モード選択信号入力

【図1】



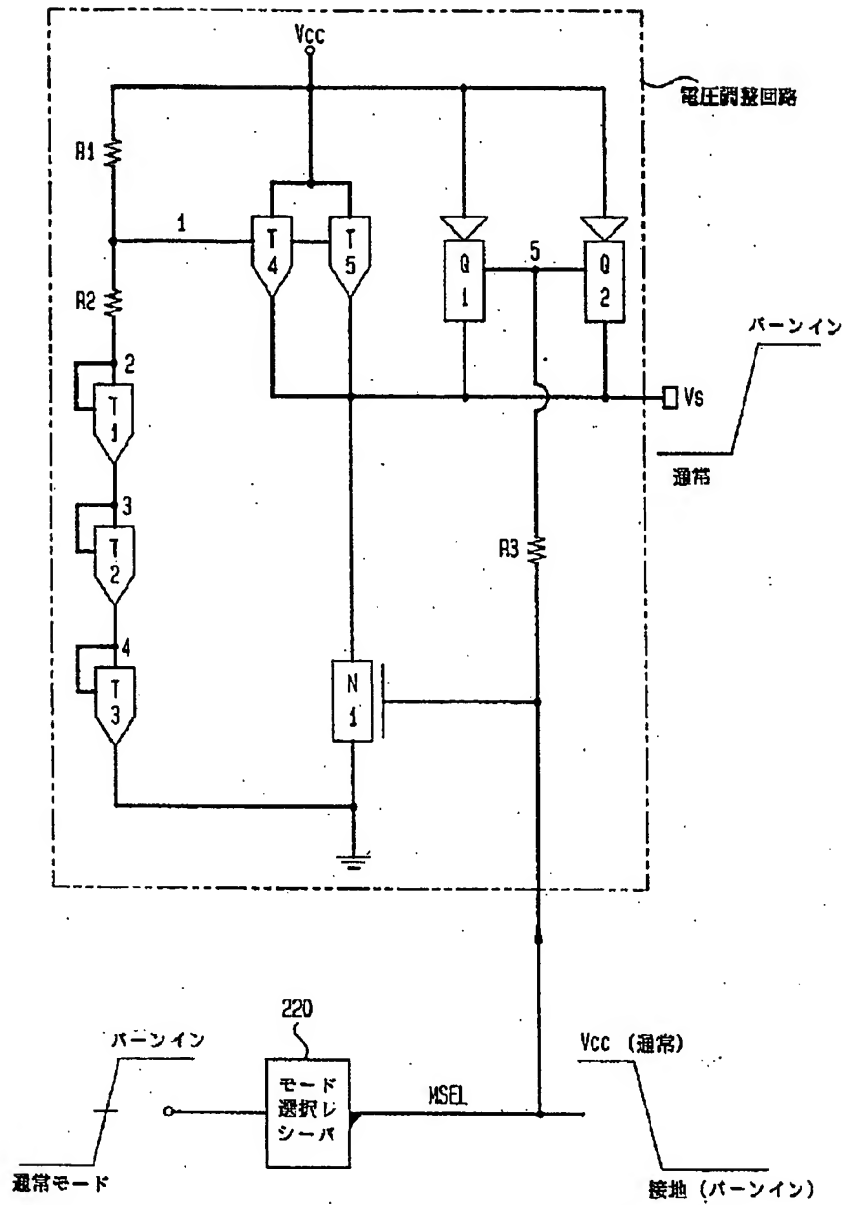


【図2】

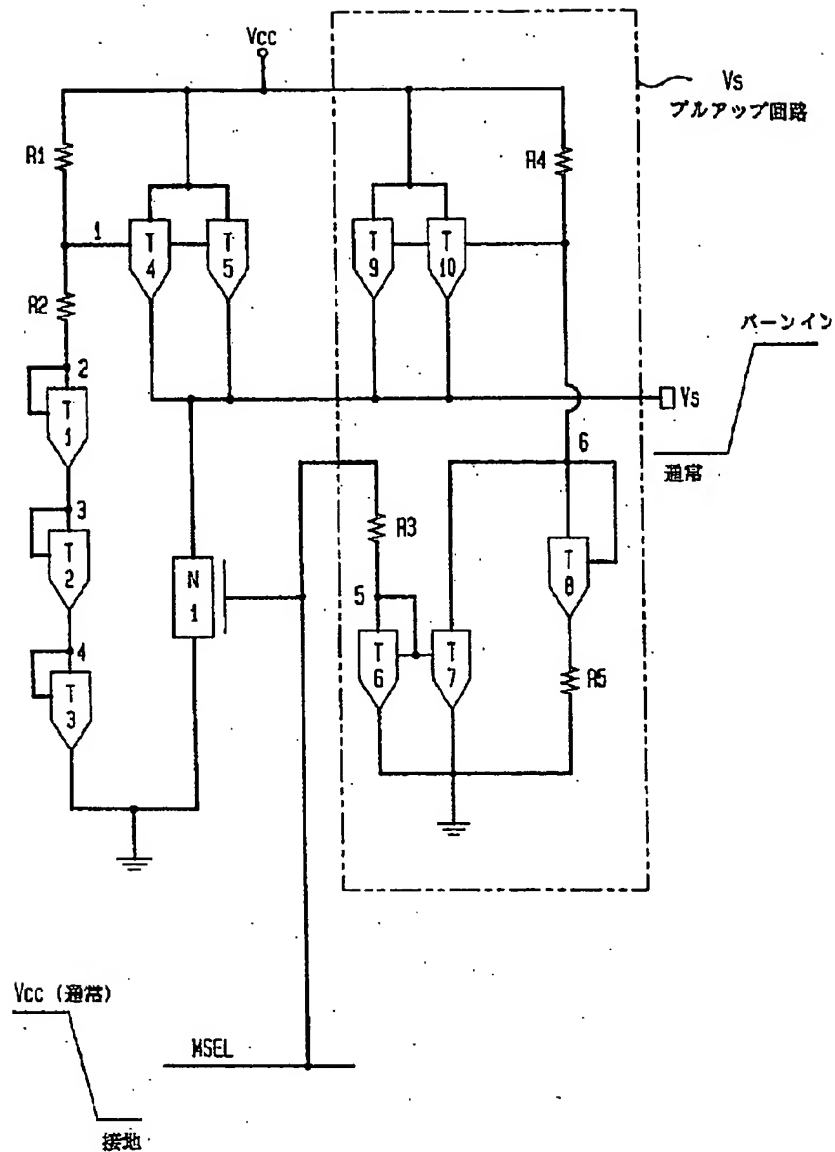


The diagram shows a 4-bit DAC circuit. It features a 220 ohm resistor connected to a mode selection switch. The switch is controlled by a 'モード選択レシーバ' (Mode Selection Receiver) block, which is also connected to a '通常モード' (Normal Mode) input. The circuit includes a feedback loop with a capacitor and a current mirror structure. The output is labeled '通常モード' (Normal Mode). The circuit is powered by a 'Vcc (通常)' (Normal Vcc) supply and has a ground connection labeled '接地 (バーンイン)' (Ground Burn-in).

【図4】



【図5】



フロントページの続き

(72)発明者 アンソニー・ラッファエル・ベレラ  
アメリカ合衆国10928、ニューヨーク州ハ  
イランド・フォールズ、リジャイナ・ロー  
ド 15

(72)発明者 ウィリアム・ロバート・レオール  
アメリカ合衆国12527、ニューヨーク州グ  
レンハム、私書箱778